

# **Tema 5. Fundamentos de electrónica digital**

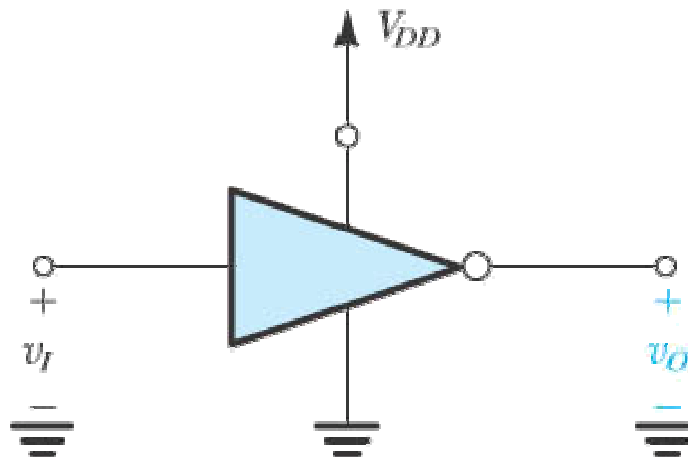
## **5.1. Parámetros característicos de una familia lógica**

## **5.2. Puertas lógicas con MOSFET's**

## 5.1. Características de las familias lógicas

### 5.2.1. Características de transferencia estáticas

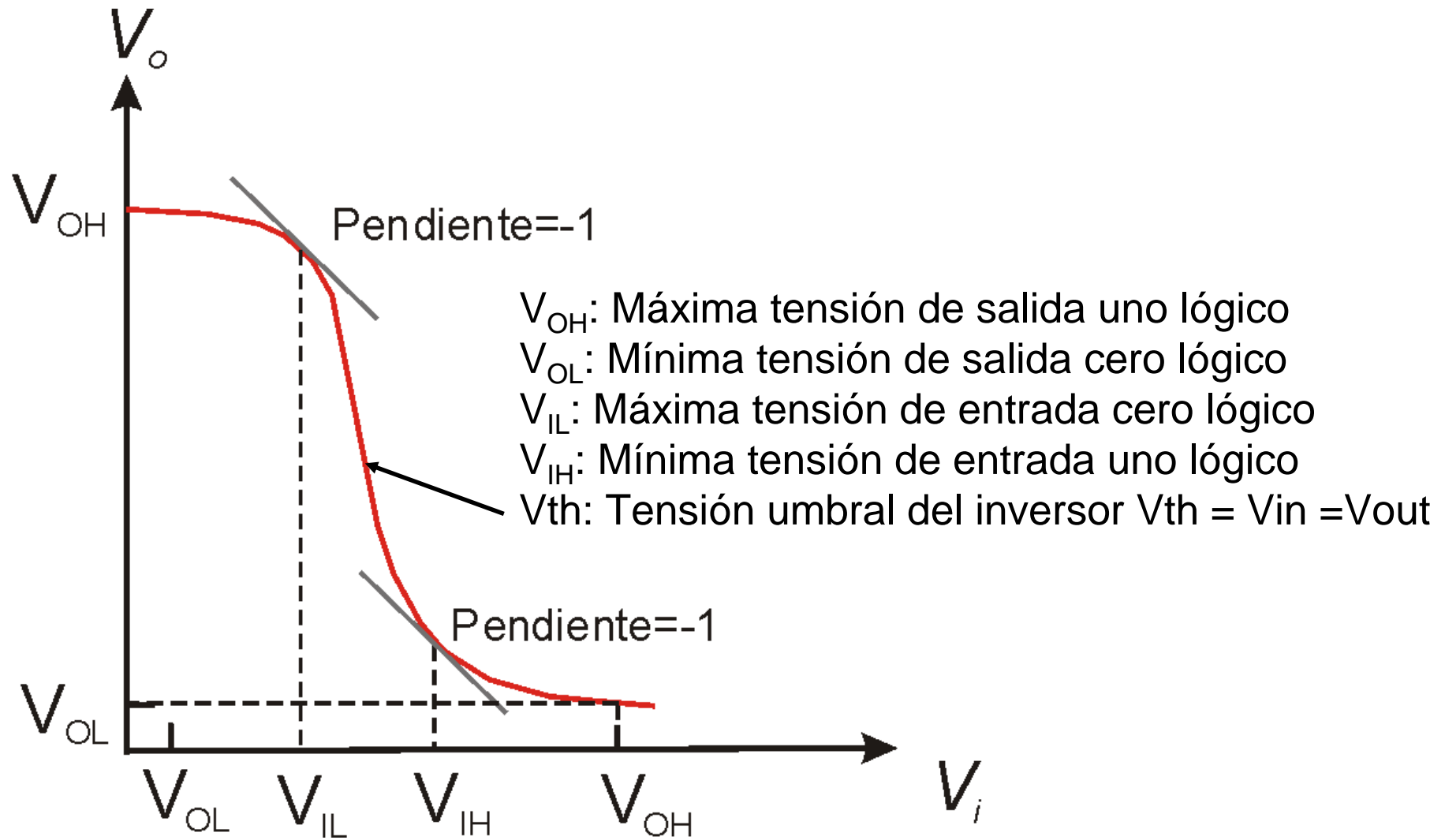
- Símbolo del Inversor lógico digital:



$V_i$	$V_o$
0	1
1	0

- Para un **inversor ideal**: la transición desde el estado alto al bajo es abrupta,  $V_{OH}$  representa el **1** lógico y  $V_{OL}$  el **0** lógico.

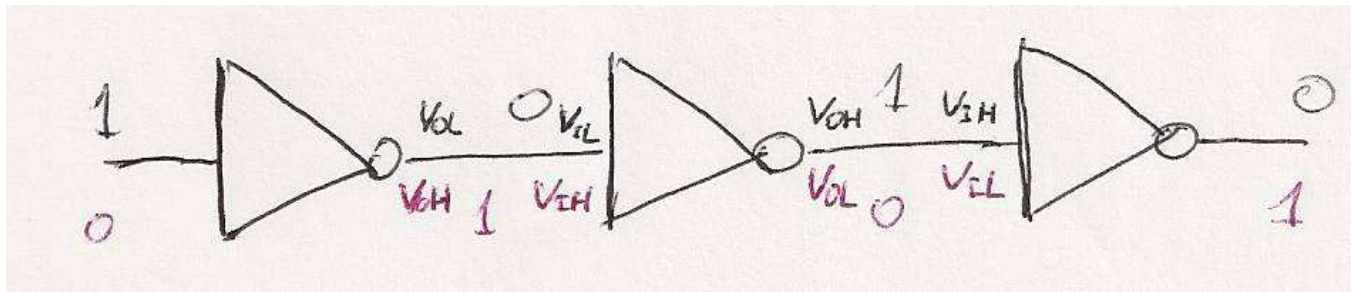
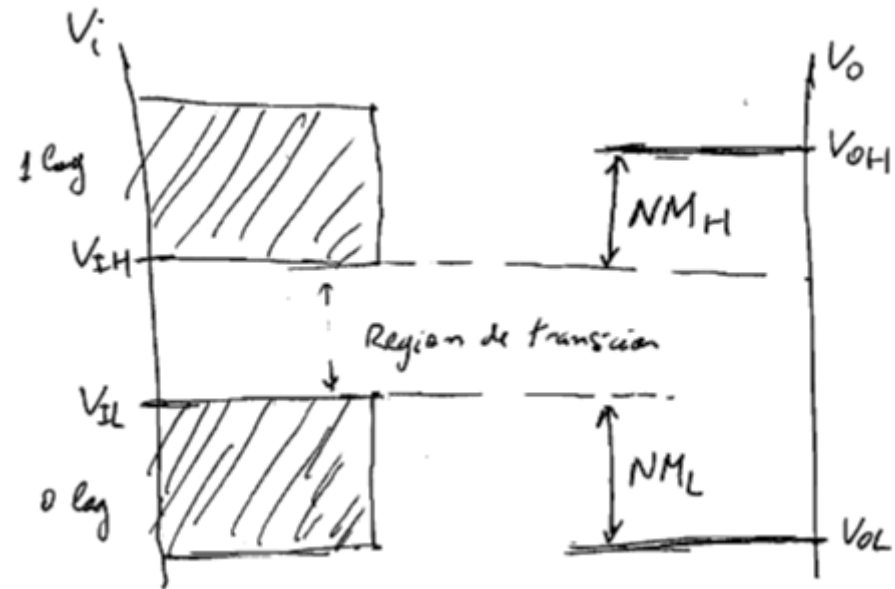
▪ Característica de transferencia de un **inversor real**



## Márgenes de ruido:

Margen de ruido alto:  $NM_H = V_{OH} - V_{IH}$

Margen de ruido bajo:  $NM_L = V_{IL} - V_{OL}$



- Es necesario que  $V_{OL} < V_{IL}$  y  $V_{IH} < V_{OH}$  para asegurar que el nivel de salida de una puerta lógica es un nivel de entrada apropiado para una segunda puerta

## Característica de entrada: FAN IN

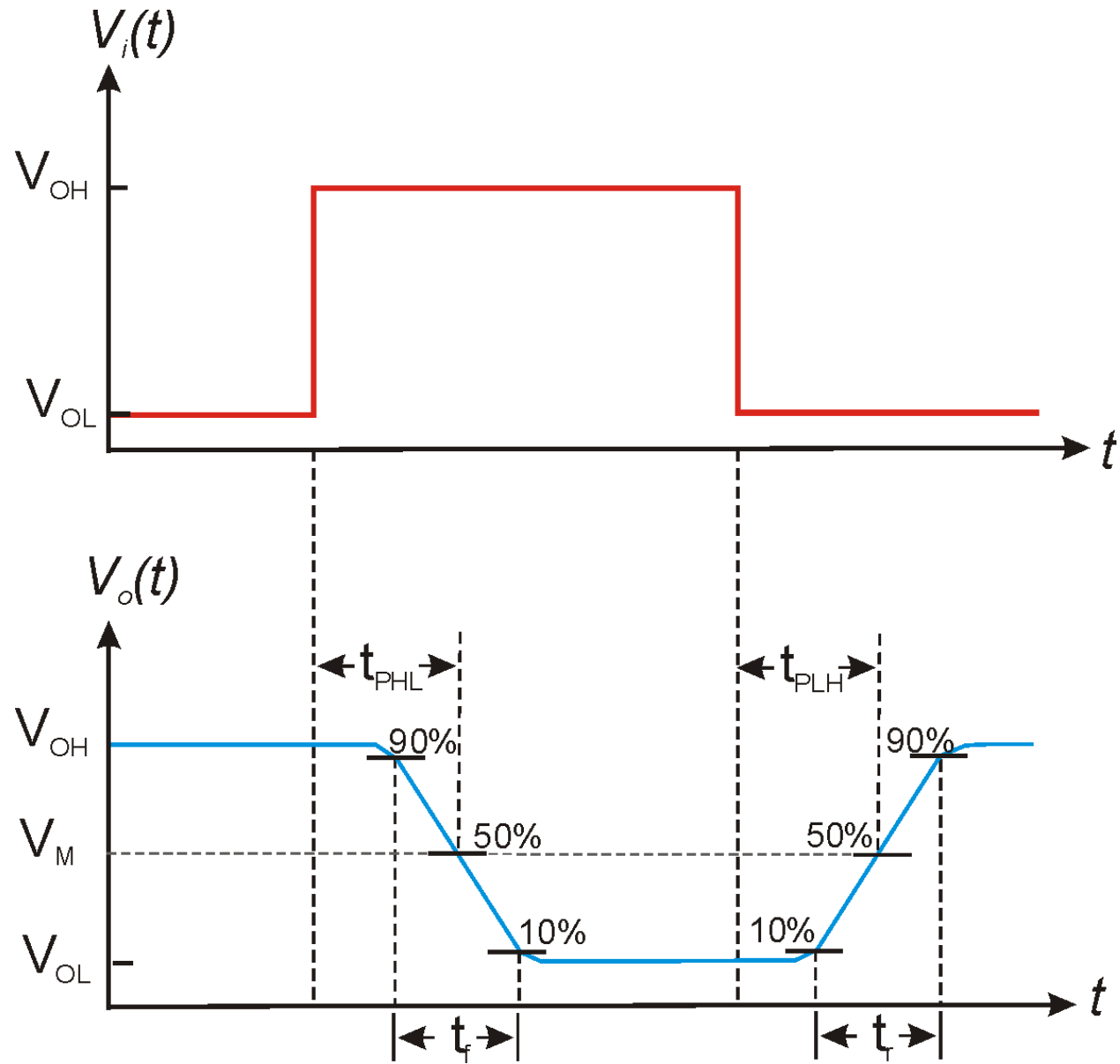
- Número máximo de puertas que se pueden conectar a la entrada sin estropear el funcionamiento.
- Si se excede este valor la puerta lógica producirá una salida es un estado indeterminado o incorrecto.
- La señal de entrada puede resultar deteriorada por la carga excesiva.

## Característica de salida: FAN OUT

- Numero máximo de puertas que se pueden conectar a la salida de la puerta.

## Características de transferencia dinámicas

- Debido a la no idealidad del inversor básico, las transiciones entre los estados alto y bajo, cuando la señal de entrada es un pulso, no son instantáneas, sino graduales debido a las capacidades parásitas de los dispositivos.
- Se pueden definir algunos tiempos característicos para cuantificar el retardo producido por dichas capacidades:
  - **tiempo de caída**  $t_f$  variación del 90% al 10% de la salida
  - **tiempo de subida**  $t_r$  variación del 10% al 90% de la salida
  - **tiempo de propagación alto bajo**  $t_{PHL}$
  - **tiempo de propagación bajo alto**  $t_{PLH}$
  - **tiempo de propagación de la puerta**  $t_p=0.5 (t_{PHL} + t_{PLH})$



## 5.2 Tecnologías MOS y CMOS

### Lógica MOS

Inversor MOS

Puertas NOR y NAND

### Lógica CMOS

Inversor CMOS

Puertas NOR y NAND

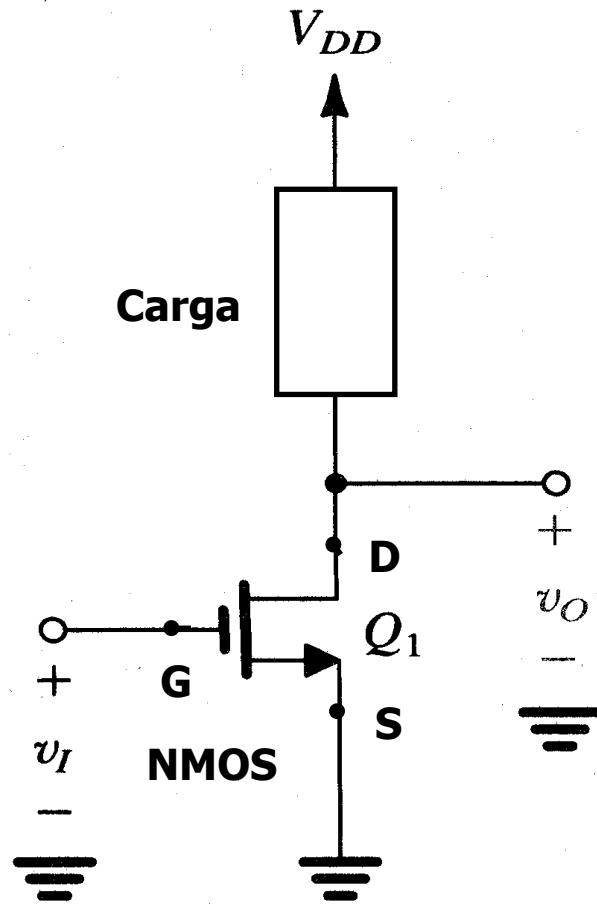


# Lógica MOS

- Es una de las cuatro tecnologías más utilizadas para hacer circuitos digitales.
- Permite implementar con una mayor densidad:
  - Cada transistor NMOS utilizado ocupa un espacio inferior al de los bipolares.
  - Simplicidad de la topología.
- Para entender el funcionamiento de esta lógica conviene ver el NMOS como interruptor.

# Inversor NMOS

- El NMOS driver funciona como interruptor:

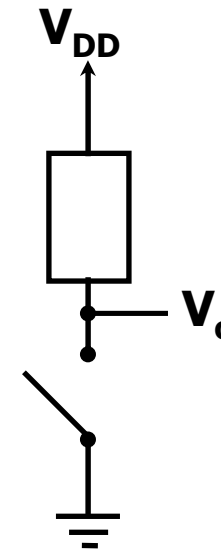


$$V_i = V_{GS}, \quad V_o = V_{DS}$$

- La carga puede ser:
  - Resistencia
  - NMOS en deplexión
  - NMOS en enriquecimiento

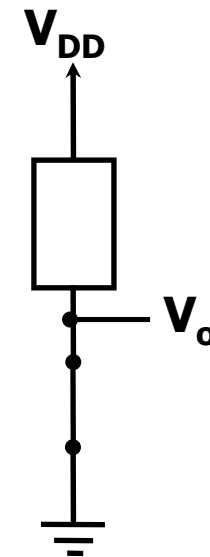
1) Si  $V_i = 0$  lógico  $\Rightarrow V_{GS} < V_t \Rightarrow$   
 $I_D \approx 0 \Rightarrow \boxed{V_o = 1 \text{ lógico}}$

**Interruptor abierto**



2) Si  $V_i = 1$  lógico  $\Rightarrow V_{GS} > V_t \Rightarrow$   
 $I_D \neq 0 \Rightarrow \boxed{V_o = 0 \text{ lógico}}$

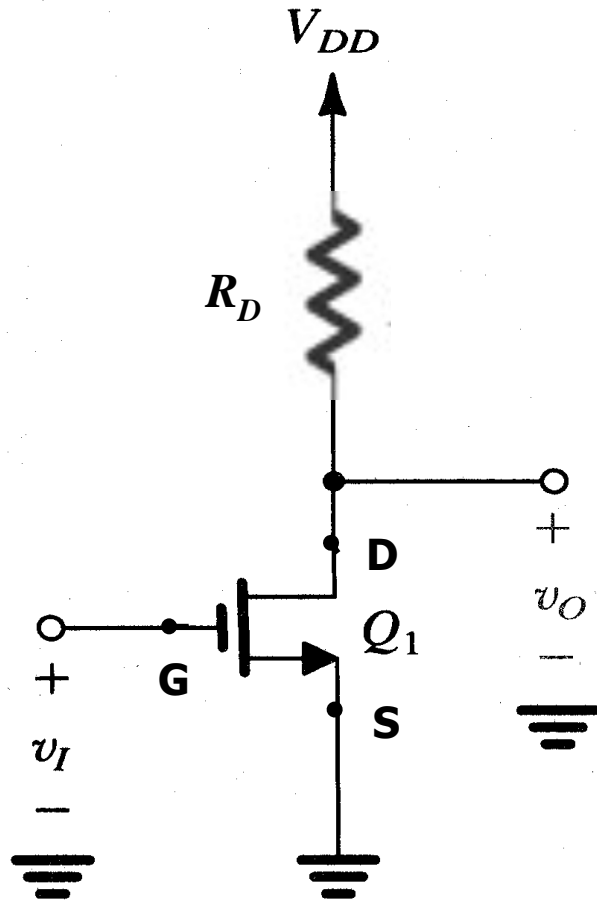
**Interruptor cerrado**



Si  $V_{DS} < V_{GS} - V_t$  lineal  $\Rightarrow I_D = k \left[ (V_{GS} - V_t)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$

Si  $V_{DS} > V_{GS} - V_t$  sat.  $\Rightarrow I_D = \frac{k}{2}(V_{GS} - V_t)^2$

## □ Inversor NMOS con resistencia de carga



$$V_i = V_{GS}, \quad V_o = V_{DS}$$

### Análisis del inversor

1) Si  $V_i = V_{GS} < V_t \Rightarrow$  NMOS OFF  $\Rightarrow$

$$I_D \approx 0 \Rightarrow \boxed{V_o = V_{DD} = V_{OH}}$$

2) Si  $V_i = V_{GS} > V_t$

2.a) NMOS en Saturación

2.b) NMOS en Lineal

2.a) Si  $V_i = V_{GS} > V_t$  (sólo un poco mayor y suponiendo que inicialmente  $V_o = V_{DD}$ )

$$\Rightarrow \text{NMOS ON} \Rightarrow \left\{ \begin{array}{l} V_o > V_i - V_t \\ V_{DS} > V_{GS} - V_t \end{array} \right\} \Rightarrow \text{NMOS Sat.}$$

$$I_D = \frac{k}{2} (V_{GS} - V_t)^2 = \frac{V_{DD} - V_o}{R_D} \Rightarrow \boxed{V_o = V_{DD} - \frac{k \cdot R_D}{2} (V_i - V_t)^2}$$

2.b) Si  $V_i$  aumenta  $\Rightarrow V_o$  disminuye hasta que  $V_o = V_i - V_t$

$$\Rightarrow \text{en este instante NMOS Lineal} \left\{ \begin{array}{l} V_o < V_i - V_t \\ V_{DS} < V_{GS} - V_t \end{array} \right\}$$

## Calculo de la tensión $V_{OL}$

Igualamos la corriente que pasa por la resistencia con la corriente que pasa por el NMOS

$$I_D = k \left[ (V_{GS} - V_t) V_{DS} - \frac{1}{2} V_{DS}^2 \right] = \frac{V_{DD} - V_o}{R_D}$$

$$V_o = \frac{1 + k \cdot R_D (V_i - V_t)}{k \cdot R_D} - \frac{\sqrt{1 + k \cdot R_D (V_i - V_t)^2 - 2 \cdot k \cdot R_D \cdot V_{DD}}}{k \cdot R_D}$$

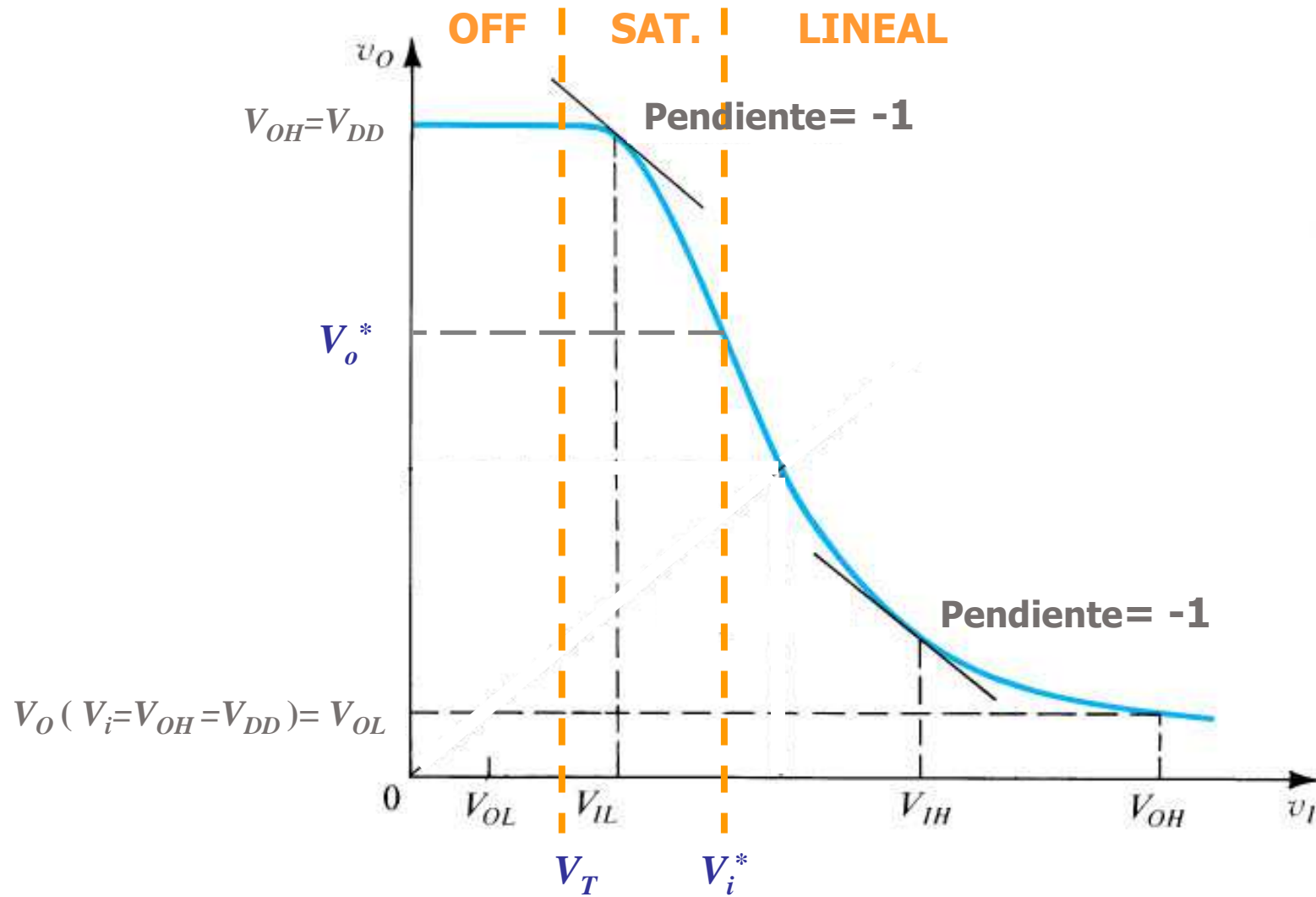
$$V_{OL} = V_o \quad (V_i = V_{OH} = V_{DD})$$

Para  $R_D$  grande  $V_{OL}$  pequeño

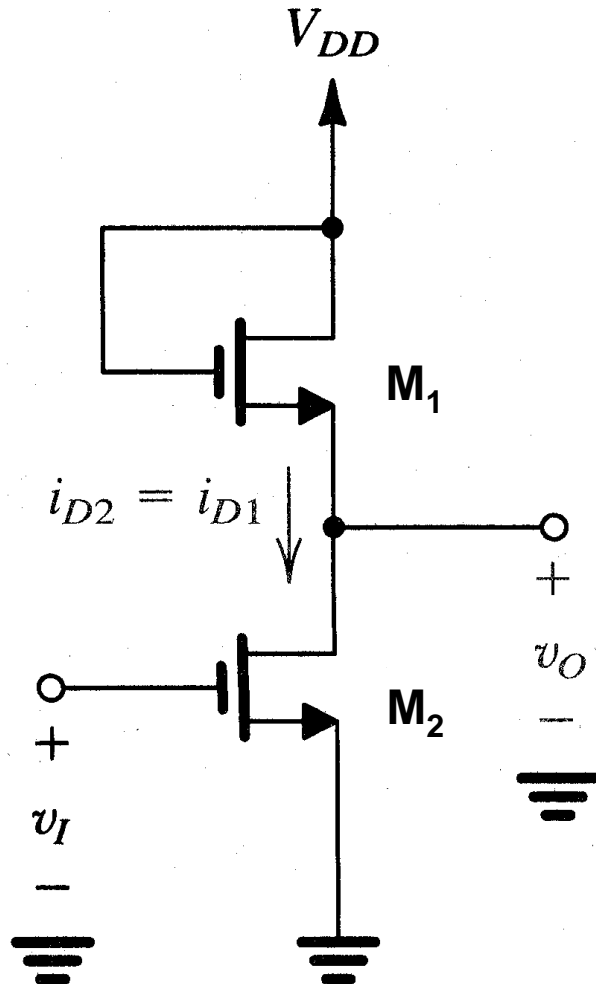
Nos interesa un  $V_{OL}$  pequeño

Con  $R_D$  grandes :  $\Rightarrow$  potencias disipadas pequeñas  
 $\Rightarrow$  problema de integración

## Función de transferencia NMOS con resistencia de carga



## □ Inversor NMOS con carga de enriquecimiento



$$M_1 : V_{GS} = V_{DS} \Rightarrow V_{DS} > V_{GS} - V_t$$

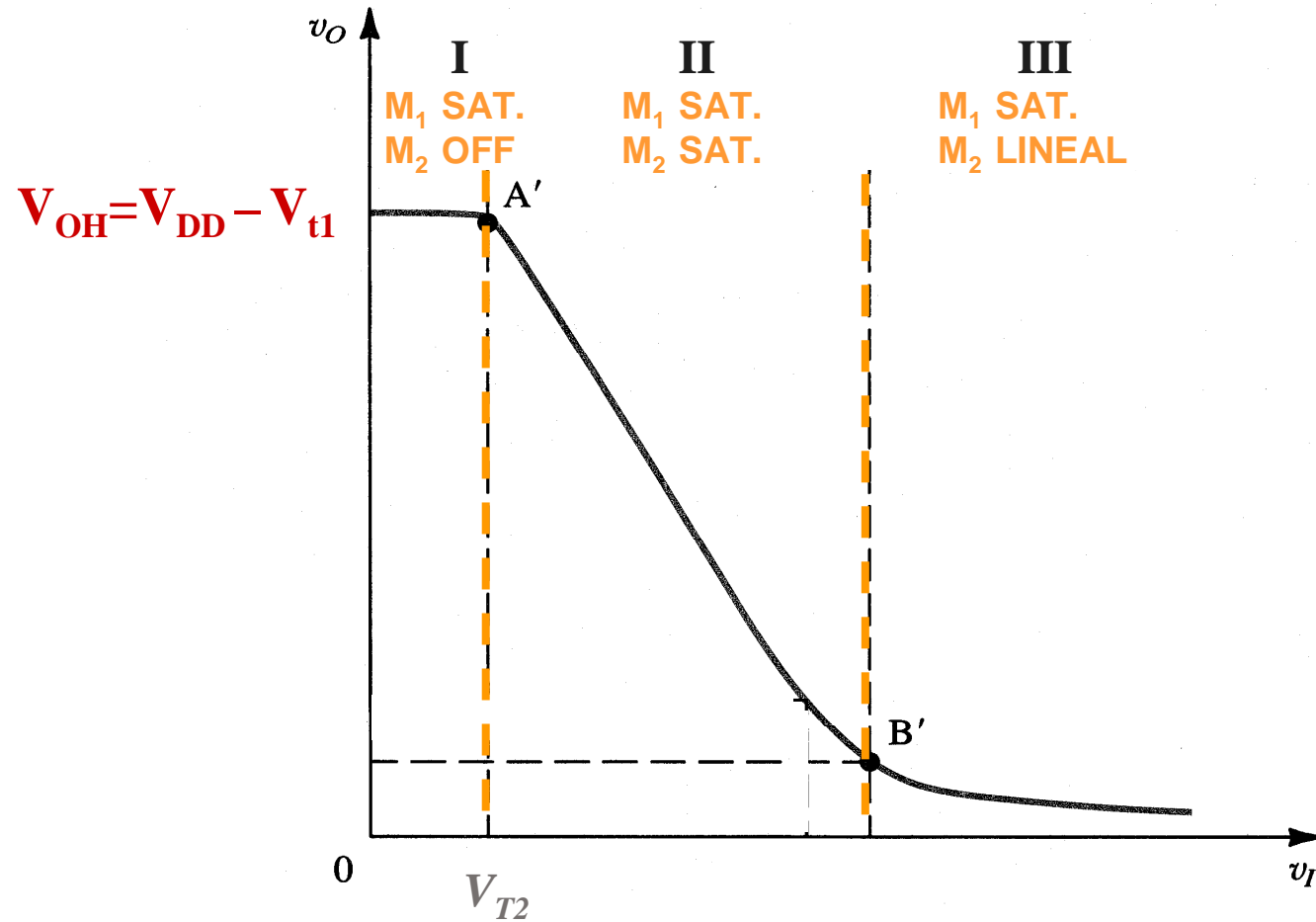
Si conduce siempre lo hace en saturación :

$$\begin{aligned} I_{D1} &= \frac{k_1}{2} (V_{GS} - V_{t1})^2 = \\ &= \frac{k_1}{2} (V_{DD} - V_o - V_{t1})^2 \end{aligned}$$

$$M_2 : V_{DS} = V_o \Rightarrow V_{GS} = V_i$$

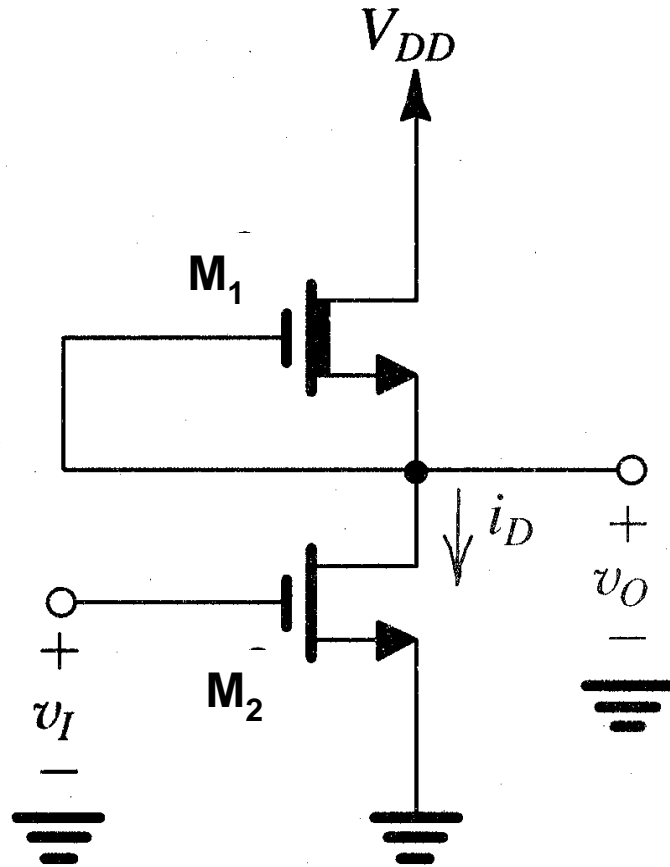


## Función de transferencia NMOS con carga en enriquecimiento



Comparamos con inversor con  $R_D$ : - Ventaja: ocupa menos área.  
- Inconveniente:  $V_{OH}$  es menor

## □ Inversor NMOS con carga en deplexión



$M_1$ :  $V_{GS} = 0 > V_{t1} \Rightarrow M_1$  siempre ON

– Si  $V_{DS} > -V_{t1} \Rightarrow$  Saturación

$$I_{D1} = \frac{k_1}{2} (-V_{t1})^2$$

– Si  $V_{DS} < -V_{t1} \Rightarrow$  Lineal:

$$I_{D1} = \left[ (-V_{t1})(V_{DD} - V_o) - \frac{1}{2}(V_{DD} - V_o)^2 \right]$$

$M_2$ :  $V_{DS} = V_{t2} \Rightarrow V_{DS} = V_o$

## Análisis del inversor

I) Si  $V_i < V_{t2} \Rightarrow M_2 \text{ OFF} \Rightarrow I_{D2} = 0 \Rightarrow I_{D1} = 0$

Si  $M_1$  saturado  $I_{D1} = \frac{k_1}{2} (-V_{t1})^2 \neq 0 \Rightarrow M_1 \text{ lineal}$

$$I_D = k_1 \left[ -V_{t1} (V_{DD} - v_o) - \frac{(V_{DD} - v_o)^2}{2} \right] = 0$$

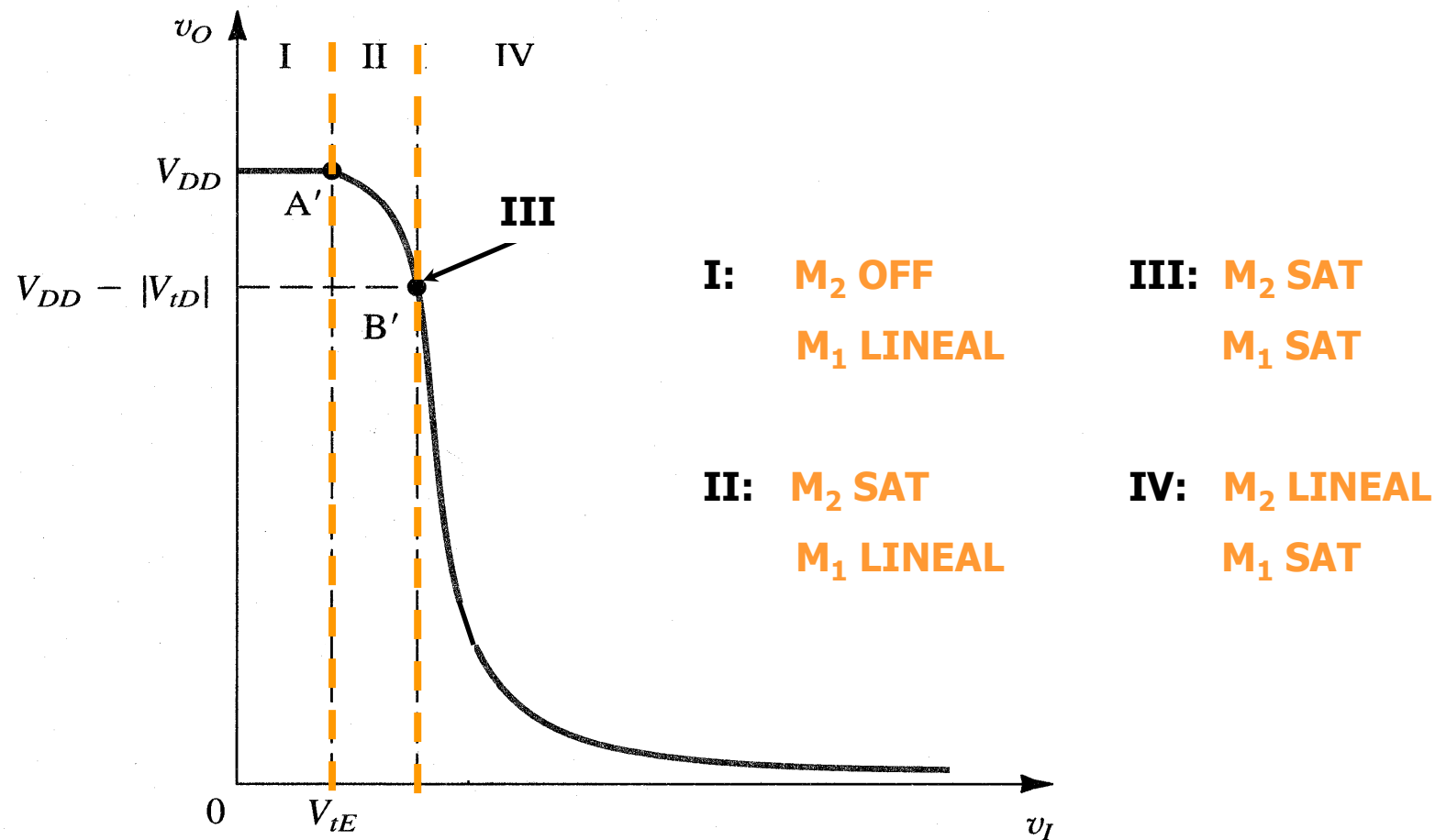
para que se cumpla  $I_D = 0 \Rightarrow \boxed{V_o = V_{DD}}$

II) III) y IV) Si  $V_i > V_{t2} \Rightarrow M_2 \text{ ON}$

- primero  $M_2$  en saturación,

- luego si  $V_i$  aumenta,  $V_o$  disminuye y  $M_2$  lineal

## Función de transferencia NMOS con carga en deplexión

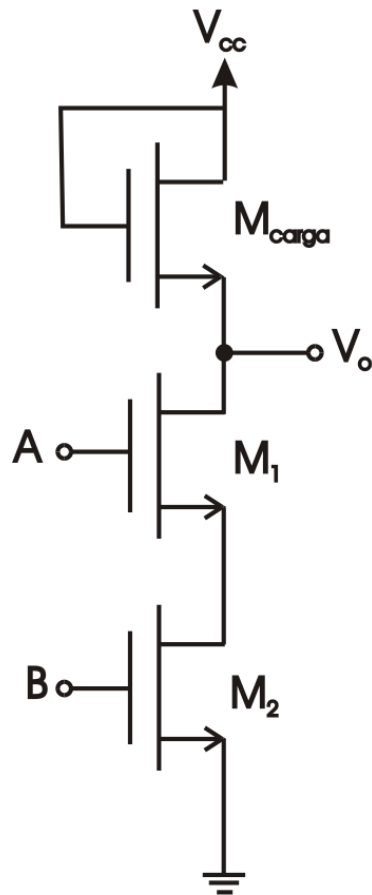


## Problema lógicas NMOS: Consumo potencia estática

# Puertas NOR y NAND

- Sabiendo la filosofía del interruptor es muy fácil analizar y construir cualquier función lógica con NMOS

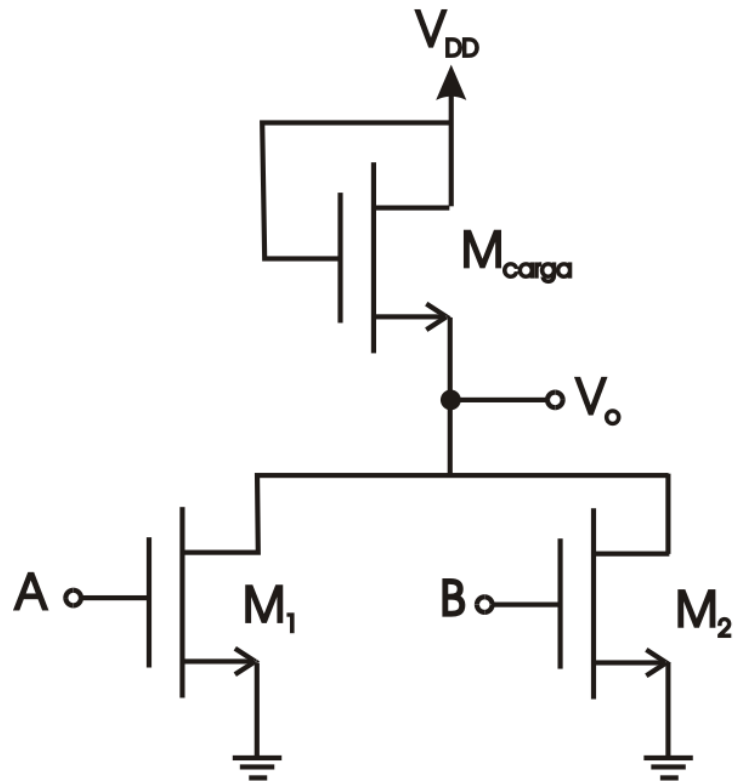
## Puerta NAND



- La salida será 0 sólo cuando ambas entradas estén a 1.
- Tabla de verdad:

A	B	V <sub>o</sub>
0	0	1
0	1	1
1	0	1
1	1	0

# Puertas NOR



- La salida será 0 sólo cuando ambas entradas estén a 0.
- Tabla de verdad:

A	B	$V_o$
0	0	1
0	1	0
1	0	0
1	1	0

- **REGLA:** Vemos cuando queremos la salida a 0 y se coloca la red NMOS adecuada teniendo en cuenta que multiplicar es colocar transistores en serie y sumar es colocarlos en paralelo.

# Lógica CMOS

Lógica con transistores NMOS y PMOS

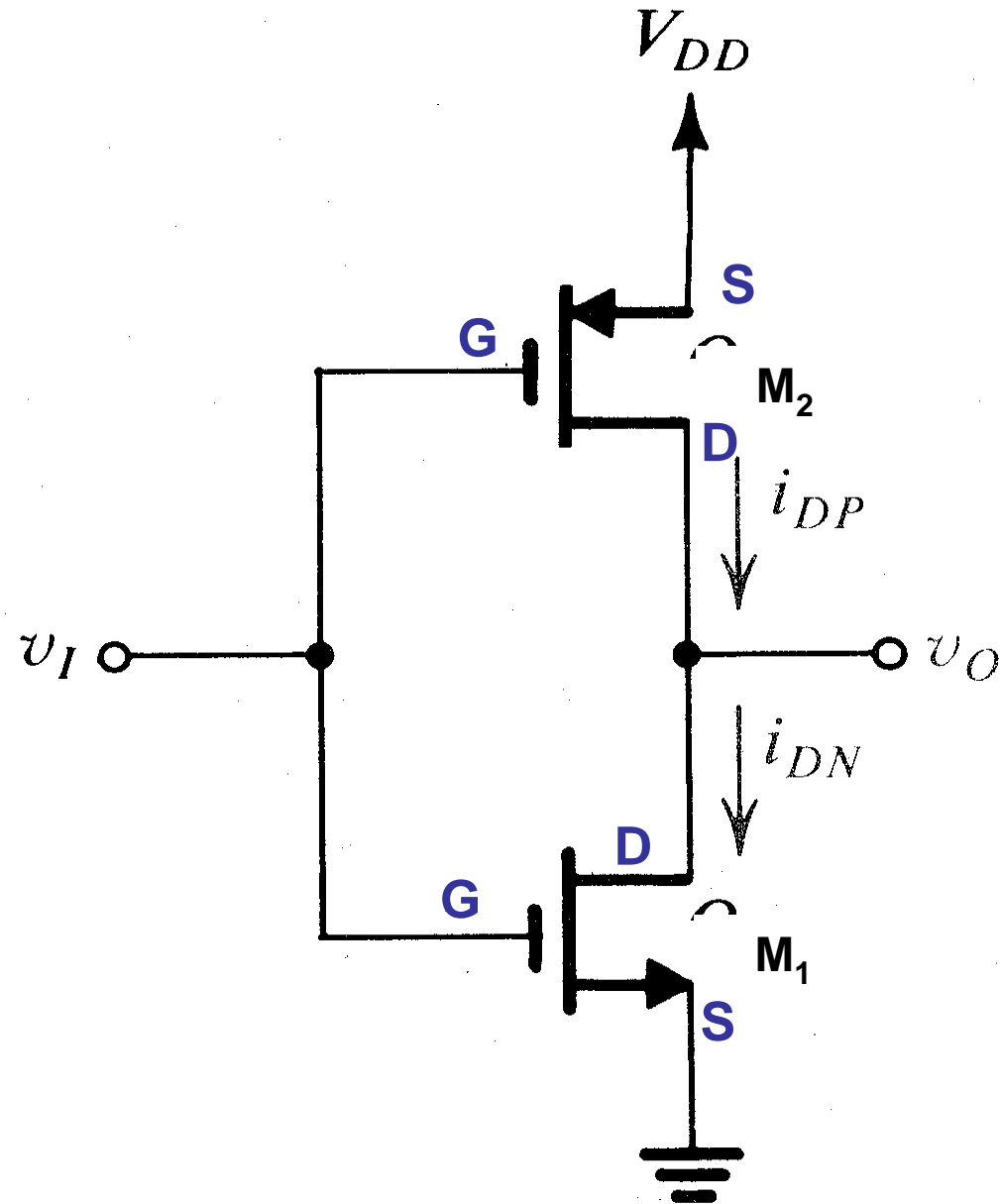
Con esta construcción se pretende que el consumo de potencia sea reducido.

Esto se consigue gracias a que cuando el transistor NMOS conduce, el PMOS está en corte y viceversa.

**Ventajas:** Consumo de potencia estática nulo  
Gran FAN OUT  
Grandes Márgenes de Ruido  $V_{OH}=V_{DD}$  y  $V_{OL}=0$

**Desventaja:** mayor numero de transistores

# Inversor CMOS





$M_2$  :

$$\left. \begin{array}{l} V_{GS} = V_i - V_{DD} \\ V_{DS} = V_o - V_{DD} \end{array} \right\} \Rightarrow$$

$$\Rightarrow \left\{ \begin{array}{l} M_2 \text{ OFF si } V_{GS} > V_{tp} \Rightarrow V_i - V_{DD} > V_{tp} \Rightarrow V_i > V_{DD} + V_{tp} \\ M_2 \text{ ON si } V_i \leq V_{DD} + V_{tp} \end{array} \right\}$$

$$\begin{aligned} M_2 \text{ Lineal si } V_{DS} > V_{GS} - V_{tp} &\Rightarrow V_o - V_{DD} > V_i - V_{DD} - V_{tp} \Rightarrow \\ &\Rightarrow V_i < V_o + V_{tp} \end{aligned}$$

$$I_D = k_p \left[ (V_i - V_{DD} - V_{tp})(V_o - V_{DD}) - \frac{1}{2}(V_o - V_{DD})^2 \right]$$

$$M_2 \text{ Saturación si } V_{DS} \leq V_{GS} - V_{tp} \Rightarrow V_i \geq V_o + V_{tp}$$

$$I_D = \frac{k_p}{2} (V_i - V_{DD} - V_{tp})^2$$

$M_1$  :

$$\left. \begin{array}{l} V_{GS} = V_i \\ V_{DS} = V_o \end{array} \right\} \Rightarrow \left\{ \begin{array}{l} M_2 \text{ OFF si } V_{GS} < V_{tn} \Rightarrow V_i < V_{tn} \\ M_2 \text{ ON si } V_{GS} > V_{tn} \Rightarrow V_i > V_{tn} \end{array} \right\}$$

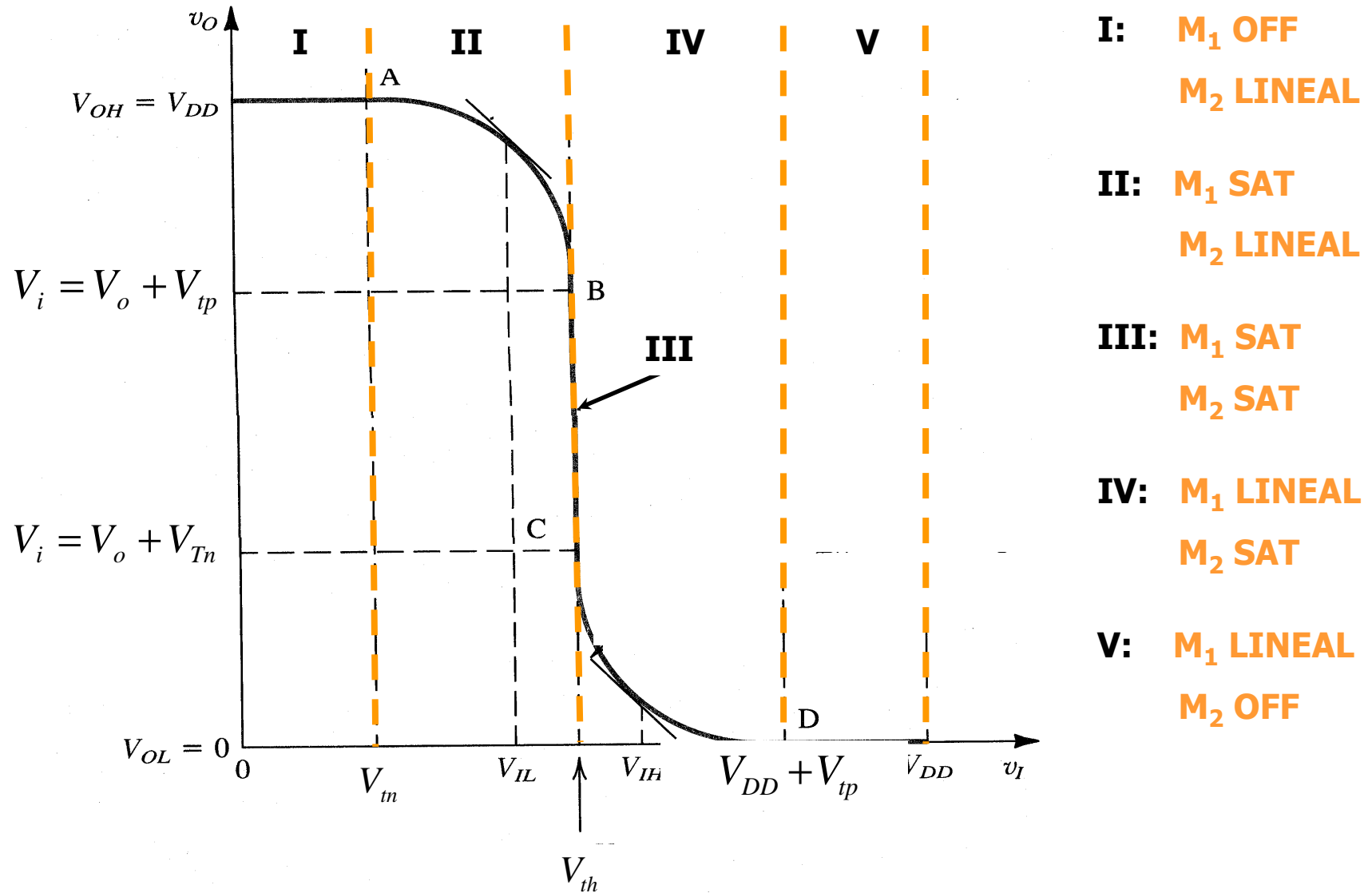
$M_1$  Lineal si  $V_{DS} < V_{GS} - V_{tn} \Rightarrow V_o < V_i - V_{tn} \Rightarrow V_i > V_o + V_{tn}$

$$I_D = k_n \left[ (V_i - V_{tn})V_o - \frac{1}{2}V_o^2 \right]$$

$M_2$  Saturación si  $V_{DS} \geq V_{GS} - V_{tn} \Rightarrow V_o \geq V_i - V_{tn} \Rightarrow V_i \leq V_o + V_{tn}$

$$I_D = \frac{k_n}{2} (V_i - V_{tn})^2$$

# Función de transferencia CMOS



# Tensión umbral del inversor CMOS

Igualando las corrientes del NMOS y PMOS, los dos están en saturación:

$$V_{th} = \frac{V_{DD} + V_{tp} + V_{tn} \sqrt{\frac{k_n}{k_p}}}{1 + \sqrt{\frac{k_n}{k_p}}}$$

CMOS simétrico  $V_{th} = V_{DD}/2$  Cuando  $V_{tn} = |V_{tp}|$  y  $k_n = k_p$

## 7.2.2. Puertas NAND y NOR

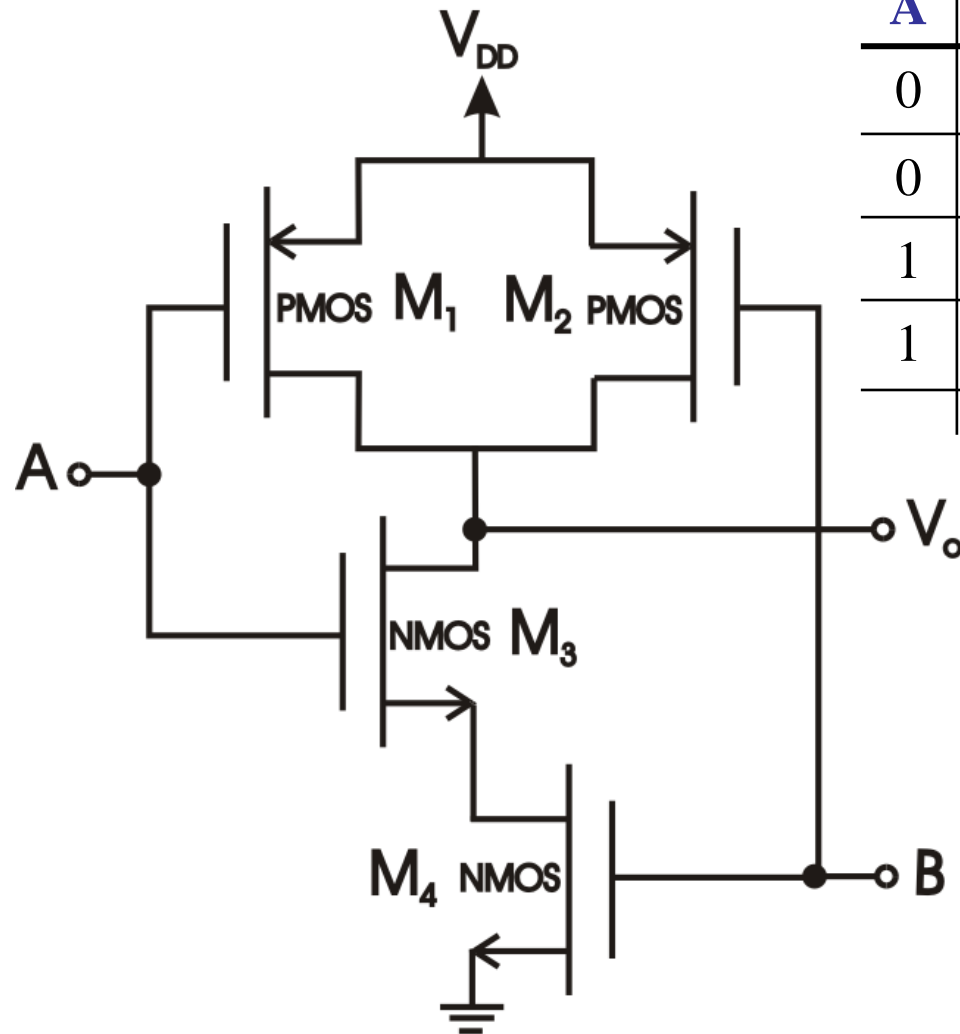
- La idea es similar a la de la lógica NMOS.
- Cuando queremos sintetizar una función:
  - vemos los 0 que tiene e implementamos con la red de NMOS la NOT de la función que queremos,
  - colocar una red de transistores PMOS en la carga con una topología complementaria a la de los NMOS:

**Red NMOS:**      x: NMOS en serie      +: NMOS en paralelo

**Red PMOS:**      x: PMOS en paralelo      +: PMOS en serie

- Cuando queremos obtener la función lógica que implementa un circuito:
  - ver los NMOS y los PMOS como interruptores,
  - para cada combinación de entradas se ve si hay un camino hasta tierra o si es hacia la fuente, sabiendo que por la topología de esta lógica siempre va a sólo uno de los dos.

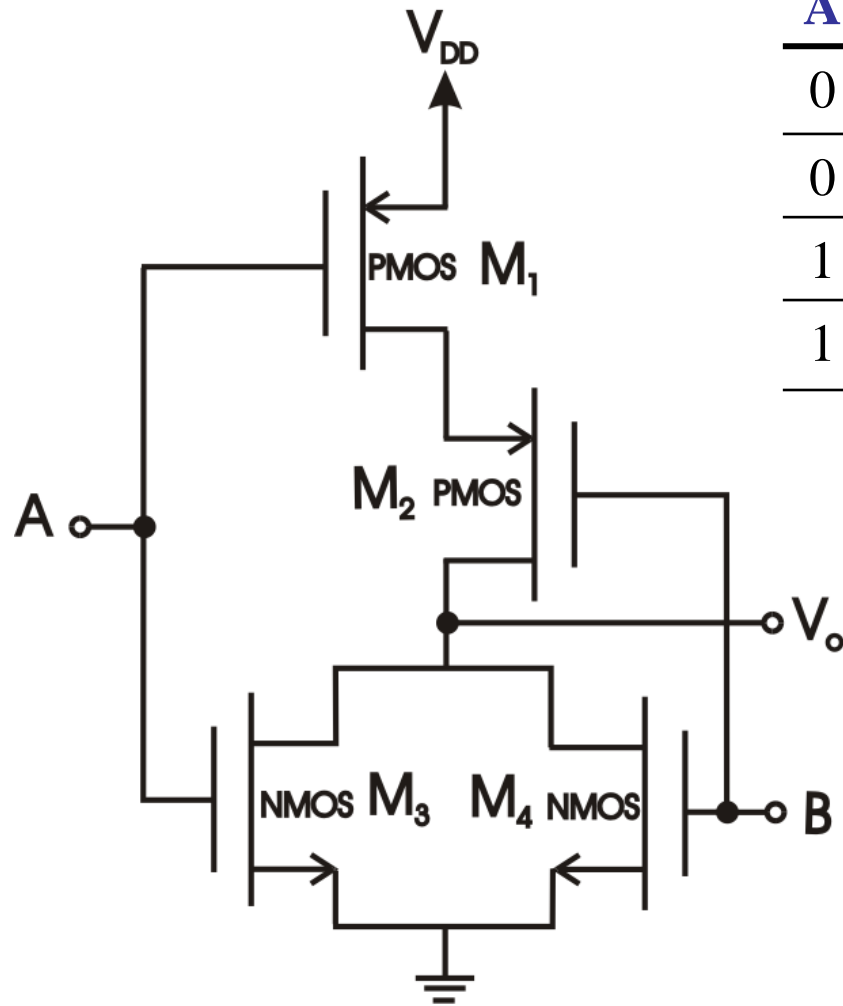
# Puerta NAND



A	B	M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	V <sub>o</sub>
0	0	ON	ON	OFF	OFF	1
0	1	ON	OFF	OFF	ON	1
1	0	OFF	ON	ON	OFF	1
1	1	OFF	OFF	ON	ON	0

$$V_o = \overline{A \cdot B}$$

# Puerta NOR



A	B	M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	V <sub>o</sub>
0	0	ON	ON	OFF	OFF	1
0	1	ON	OFF	OFF	ON	0
1	0	OFF	ON	ON	OFF	0
1	1	OFF	OFF	ON	ON	0

$$V_o = \overline{A + B}$$